

(54) MONOLITHIC FILTER

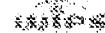
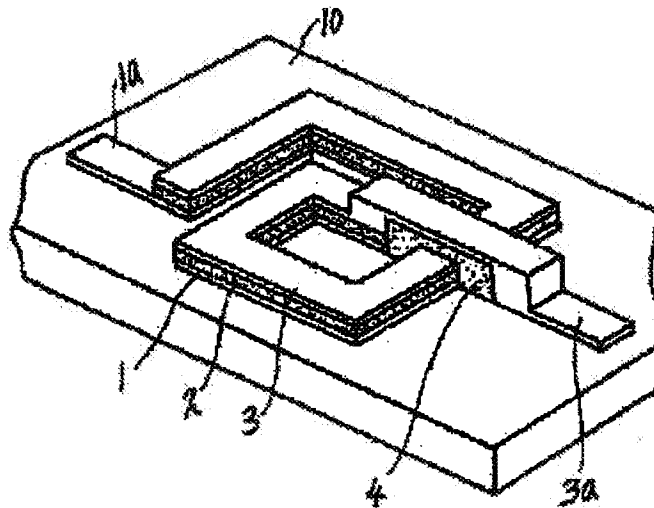
- (19) 국가 (Country) : JP (Japan)
- (11) 공개번호 (Publication Number) : 1995-066043 (1995.03.10) ▶ 日本語/한글(JP)
▶ 현재진행상태보기
- (13) 문헌종류 (Kind of Document) : A (Unexamined Publication)
- (21) 출원번호 (Application Number) : 1993-214160 (1993.08.30)
- (75) 발명자 (Inventor) : YAMAMOTO YASUSHI, SAKAMOTO KOICHI
- (73) 출원인 (Assignee) : MURATA MFG CO LTD.

대표출원인명 : MURATA MANUFACTURING CO., LTD. (A00443)
- (57) 요약 (Abstract) :

PURPOSE: To reduce the occupation area of MMIC by connecting the one whose sp terminal is not connected to a spiral inner terminal.

CONSTITUTION: A first metal layer 1 formed spirally is formed on a semiconductor sub by depositing and sputtering Au, Al, etc. A dielectric such as SiNX and SiO3 is laminated on the first metal layer 1 in spiral shape to form a dielectric layer 2. Metals such as Au are deposited and sputtered on the dielectric layer 2 similarly as the first metal layer 1 to form a second metal layer 3. A spiral outer terminal 1a is provided at the spiral outer edge of the first metal layer 1. Also, an insulator 4 is included and bridge connection is made to a spiral inner terminal 3a provided outside the spiral wiring layer at the spiral inner edge of the second metal layer 3.

COPYRIGHT: (C)1995,JPO
- 대표도면 :



▪ (51) 국제특허분류 (IPC) :

H01F-027/00 ; H01F-017/00 ; H01G-004/40 ; H03H-007/01

▪ FI :

H01F-015/00 D

H01G-004/40 321

• (30) 우선권번호 (Priority Number) :

-

▪ 본 특허를 우선권으로 한 특허 :

-

▪ WIPS 패밀리

☞ WIPS 패밀리 보기

☞ 패밀리/번역상태 일괄보기

Full Text Download



고객센터 : 02-726-1100 | 팩스 : 02-362-1289 | 이메일 : help@wips.co.kr

Copyright©1998-2006 WIPS Co.,Ltd. All rights reserved.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-66043

(43) 公開日 平成7年(1995)3月10日

(51) IntCl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 F 27/00				
17/00		D 8123-5E		
H 0 1 G 4/40				
		8123-5E	H 0 1 F 15/ 00	D
		9174-5E	H 0 1 G 4/ 40	3 2 1
審査請求 未請求 請求項の数 2 O L (全 4 頁) 最終頁に続く				

(21) 出願番号 特願平5-214160

(22) 出願日 平成5年(1993)8月30日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 山本 靖

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(72) 発明者 坂本 孝一

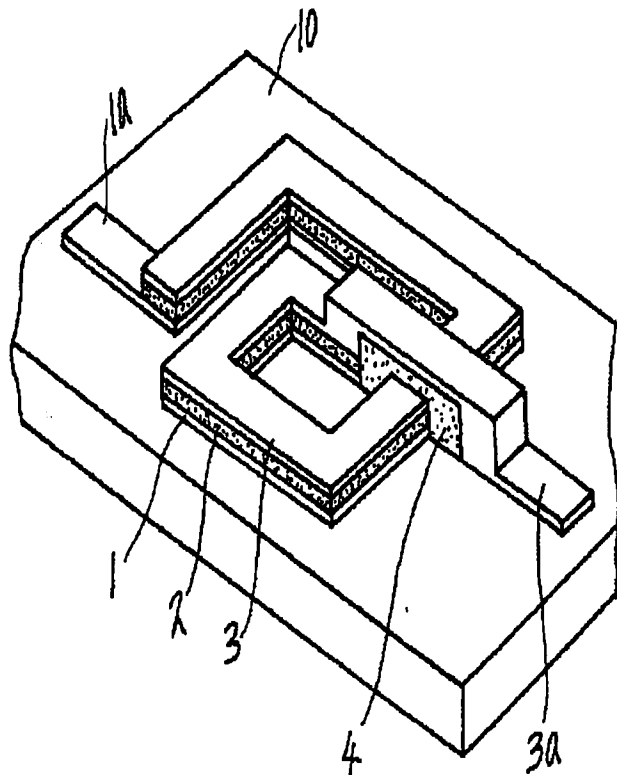
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(54) 【発明の名称】 モノリシックフィルタ

(57) 【要約】

【目的】 本発明は、MIMキャパシタとスパイラルインダクタを、基板上に重畳させて作製することにより、MMICの占有面積を縮小したモノリシックフィルタを提供することを目的とする。

【構成】 本発明は、MIMキャパシタとスパイラルインダクタとを、半導体基板上に、重畳させて形成した、等価LC直列接続および等価LC並列接続モノリシックフィルタである。



【特許請求の範囲】

【請求項１】 第一金属層、誘電体層および第二金属層よりなるＭＩＭキャパシタが、半導体基板上にスパイラル形状に形成され、第一金属層および第二金属層のスパイラル外側端のいずれかが、スパイラル外側端子に接続され、第一金属層および第二金属層のスパイラル内側端であって、前記スパイラル外側端子の接続されていないものが、スパイラル内側端子に接続されている等価ＬＣ直列接続モノリシックフィルタ。

【請求項２】 第一金属層、誘電体層および第二金属層よりなるＭＩＭキャパシタが半導体基板上に形成され、第二金属層の上に、絶縁物層を介在させてスパイラル形状に第三金属層が形成され、第一金属層と第三金属層のスパイラル外側端とがブリッジ接続され、第二金属層と第三金属層のスパイラル内側端とが接続され、第一金属層と第二金属層とを端子とする等価ＬＣ並列接続モノリシックフィルタ。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】 本発明は、ＭＭＩＣと複合して形成される等価ＬＣ直列接続および等価ＬＣ並列接続モノリシックフィルタに関する。

【０００２】

【従来の技術】 従来、ＭＭＩＣの回路内には、高周波用フィルタとして、図３に示すように、ＭＩＭ（Metal Insulator Metal）キャパシタ２１とスパイラルインダクタ２２を直列に接続したＬＣ直列接続モノリシックフィルタ、および図４に示すように、ＭＩＭキャパシタ２１とスパイラルインダクタ２２を並列に接続したＬＣ並列接続モノリシックフィルタが、使用されることが多い。これらのモノリシックフィルタは、図３および図４に示すように、それらの構成素子であるＭＩＭキャパシタ２１とスパイラルインダクタ２２とが、半導体基板上に平面的に、即ち重なり合わないように、配置されていた。

【０００３】

【発明が解決しようとする課題】 したがって、ＭＭＩＣ全体の面積は、その使用する各構成素子の面積とその個数でほぼ決まっていた。特に、ＭＩＭキャパシタ２１およびスパイラルインダクタ２２は、その面積が大きく、ＭＭＩＣ全体面積の増大につながっていた。したがって、本発明は、ＭＩＭキャパシタとスパイラルインダクタを、半導体基板上に重畳させて作製することにより、ＭＭＩＣの占有面積を縮小したモノリシックフィルタを提供することを目的とする。

【０００４】

【課題を解決するための手段】 本発明は、一つには、第一金属層、誘電体層および第二金属層よりなるＭＩＭキャパシタが、半導体基板上にスパイラル形状に形成され、第一金属層および第二金属層のスパイラル外側端のいずれかが、スパイラル外側端子に接続され、第一金属

層および第二金属層のスパイラル内側端であって、前記スパイラル外側端子の接続されていないものが、スパイラル内側端子に接続されている等価ＬＣ直列接続モノリシックフィルタとし、二つには、第一金属層、誘電体層および第二金属層よりなるＭＩＭキャパシタが半導体基板上に形成され、第二金属層の上に、絶縁物層を介在させてスパイラル形状に第三金属層が形成され、第一金属層と第三金属層のスパイラル外側端とがブリッジ接続され、第二金属層と第三金属層のスパイラル内側端とが接続され、第一金属層と第二金属層とを端子とする等価ＬＣ並列接続モノリシックフィルタとしたものである。

【０００５】

【作用】 本発明は、ＭＭＩＣ複合回路として、半導体基板上に、ＭＩＭキャパシタとスパイラルインダクタを重ねさせて作製するので、ＭＭＩＣの占有面積が小さくなる。

【０００６】

【実施例】 次に、本発明の実施例について図面を参照して説明する。図１において、１は半導体基板１０上に、スパイラル形状に形成された第一金属層で、Ａｕ、Ａｌ等の金属を蒸着、スパッタリング等して形成される。２は誘電体層で、スパイラル形状の第一金属層１の上に、例えば、ＳｉＮ_x、ＳｉＯ₂等の誘電体を積層して形成される。３は第二金属層で、誘電体層２の上に、第一金属層１と同様に、Ａｕ、Ａｌ等の金属を蒸着、スパッタリング等して形成される。

【０００７】 第一金属層１のスパイラル外側端には、スパイラル外側端子１ａが設けられている。また、第二金属層３のスパイラル内側端は、スパイラル配線層の外側に設けられたスパイラル内側端子３ａに、絶縁体４を介在させて、ブリッジ接続されている。この図１記載の実施例は、キャパシタとインダクタがスパイラル形状に重畳した等価ＬＣ直列接続モノリシックフィルタを構成することになる。

【０００８】 上記実施例において、ＭＭＩＣの回路の都合によっては、端子１ａ、３ａは、それらの導出端を逆にしてもよい。即ち、第二金属層３のスパイラル外側端をスパイラル外側端子（端子１ａに相当）とし、第一金属層１のスパイラル内側端をスパイラル内側端子（端子３ａに相当）としてもよい。また、第一金属層１と第二金属層３とは、かならずしも両方共スパイラル形状である必要はなく、いずれか片方がスパイラルであればよい。同様に、誘電体層２も必ずしもスパイラルである必要はない。また、スパイラル形状も、方形に限らず、円形等であってもよい。

【０００９】 次に、図２を参照して、他の実施例について説明する。第一金属層１１、誘電体層１２および第二金属層１３よりなるＭＩＭキャパシタが、半導体基板２０上に形成される。第一金属層１１、第二金属層１３には、それぞれ端子１１ａ、１３ａが設けられている。第

第二金属層13の上には、絶縁物層14を介在させて、第三金属層15がスパイラル形状に形成される。第一金属層11の端子11aと第三金属層15のスパイラル外側端15aとが、ブリッジ接続される。第二金属層13の中央部と第三金属層15のスパイラル内側端15bとが接続される。この図2記載の実施例は、MIMキャパシタとスパイラルインダクタが重畳して形成された等価LC並列接続モノリシックフィルタを構成することになる。

【0010】上記実施例においては、MIMキャパシタおよびスパイラルインダクタを、方形で形成しているが、方形に限らず円形等であってもよい。また、スパイラルインダクタを、MIMキャパシタの上に形成しているが、これはMIMキャパシタの間でも、MIMキャパシタの下であってもよい。また、半導体基板と第一金属層との間に、絶縁層を設けてもよい。

【0011】

【発明の効果】本発明は、MMIC複合回路として、半

導体基板上に、MIMキャパシタとスパイラルインダクタを重畳させて作製するので、MMICの占有面積が小さくなる。特に、この占有面積は、MIMキャパシタとスパイラルインダクタとのうち、どちらか大きい方の面積だけですむので、最大50%のMMICの縮小化につながる。

【図面の簡単な説明】

【図1】 本発明の一実施例の斜視図

【図2】 本発明の他の実施例の斜視図

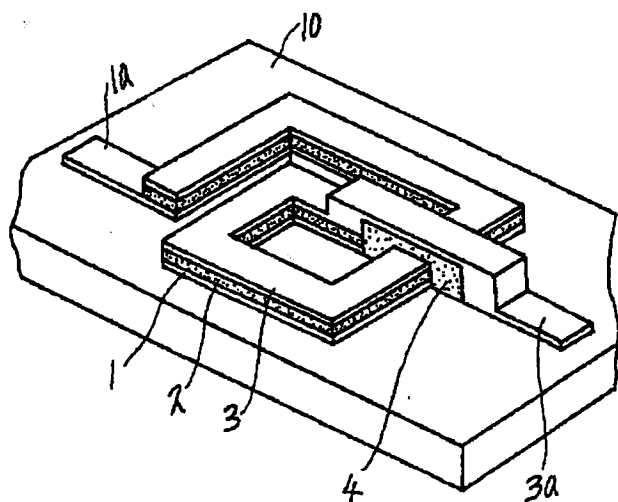
【図3】 従来例の斜視図

【図4】 他の従来例の斜視図

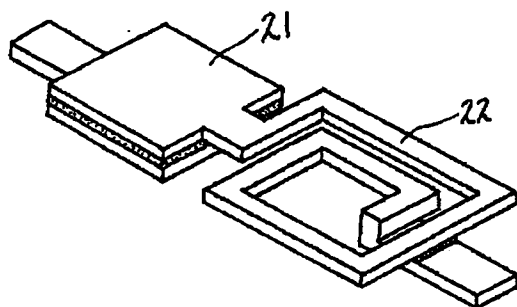
【符号の説明】

1、11	第一金属層
2、12	誘電体層
3、13	第二金属層
4、	絶縁体
14	絶縁物層
15	第三金属層

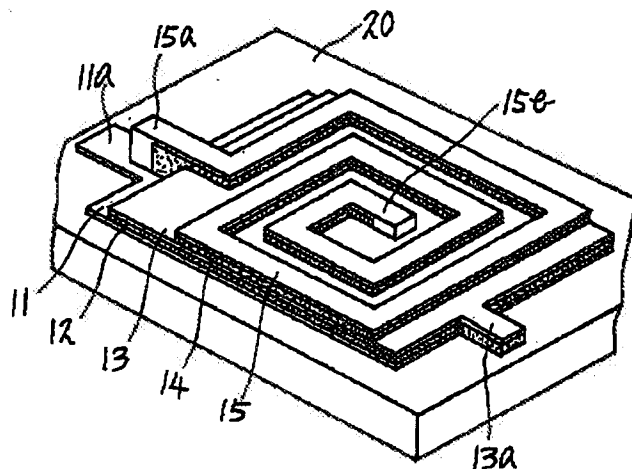
【図1】



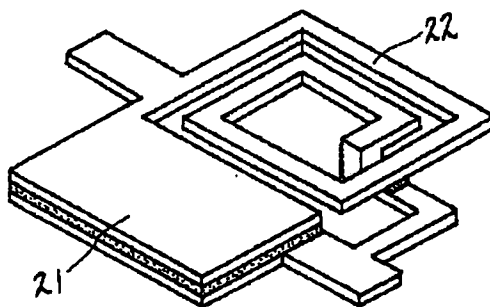
【図3】



【図2】



【図4】



フロントページの続き

(51) Int. Cl.⁶

H 0 3 H 7/01

識別記号

庁内整理番号

F I

技術表示箇所

Z 8321-5J